

COMMUNICATION CONTROL SEMICONDUCTOR DEVICE AND INTERFACE SYSTEM

Publication number: JP2002288112

Publication date: 2002-10-04

Inventor: KANAI TOSHIYOSHI; NARUSE MASAO; HOTORI NAOKI

Applicant: HITACHI LTD

Classification:

- international: G06F13/14; H04L12/40; H04L12/44; G06F13/14; H04L12/40; H04L12/44; (IPC1-7): G06F13/14; H04L12/40; H04L12/44

- European: G06F13/38A2

Application number: JP20010090616 20010327

Priority number(s): JP20010090616 20010327

Also published as:

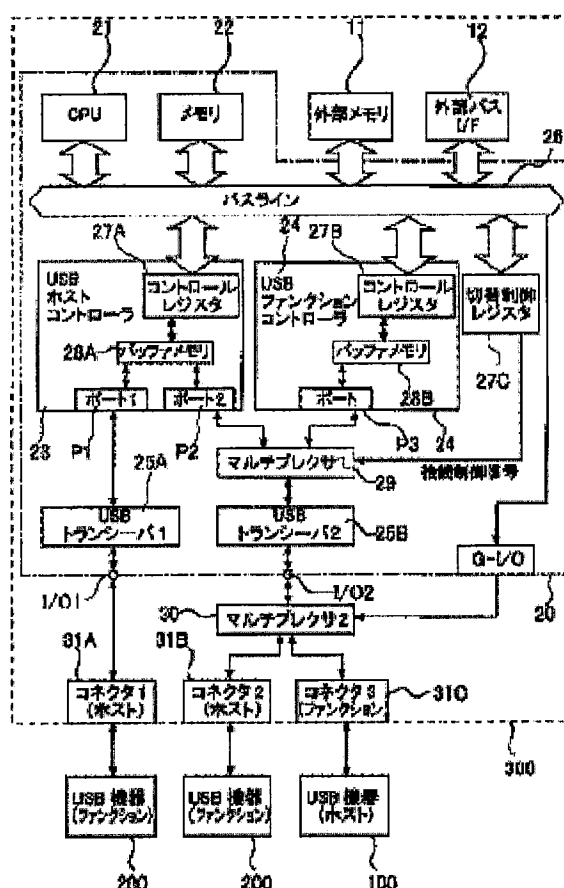
WO02077835 (A1)

US2004153597 (A1)

Report a data error here

Abstract of JP2002288112

PROBLEM TO BE SOLVED: To solve such a problem that, once a network system is built, an electronic apparatus, to which the conventional USB(Universal Serial Bus) standard interface system is applied, can communicate only with fixed apparatuses and that, in order to communicate with apparatuses other than the preset apparatuses, a cable must be physically reconnected. **SOLUTION:** Host control means 23 and function control means 24 are mounted on one semiconductor chip so that they can operate simultaneously. This semiconductor chip also includes input/output terminals through which data signals sent and received during the communication control operation of those control means are input and output; a switching means (multiplexer) 29 capable of switching between a path, which is connected to the input/output terminals and through which data signals sent or received during communication under control of the host control means pass, and a path through which data signals sent or received during communication under control of the function control means pass; and a switching control register 27C that controls the state of the switching means.



Data supplied from the esp@cenet database - Worldwide

Family list3 family members for: **JP2002288112**

Derived from 3 applications

[Back to JP2002288112](#)

- 1 COMMUNICATION CONTROL SEMICONDUCTOR DEVICE AND INTERFACE SYSTEM**
Inventor: KANAI TOSHIYOSHI; NARUSE MASAO; **Applicant:** HITACHI LTD (+1)
EC: G06F13/38A2 **IPC:** G06F13/14; H04L12/40; H04L12/44 (+6)
Publication info: **JP2002288112 A** - 2002-10-04
- 2 Communication control semiconductor device and interface system**
Inventor: KANAI TOSHINOBU (JP); NARUSE MASAO **Applicant:** (JP); (+1)
EC: G06F13/38A2 **IPC:** G06F13/14; H04L12/40; H04L12/44 (+4)
Publication info: **US2004153597 A1** - 2004-08-05
- 3 COMMUNICATION CONTROL SEMICONDUCTOR DEVICE AND INTERFACE SYSTEM**
Inventor: KANAI TOSHINOBU (JP); NARUSE MASAO **Applicant:** HITACHI LTD (JP); KANAI TOSHINOBU (JP); (+1) (JP); (+2)
EC: G06F13/38A2 **IPC:** G06F13/14; H04L12/40; H04L12/44 (+4)
Publication info: **WO02077835 A1** - 2002-10-03

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-288112
(P2002-288112A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 6 F 13/14	3 3 0	G 0 6 F 13/14	3 3 0 E 5 B 0 1 4
H 0 4 L 12/40		H 0 4 L 12/40	Z 5 K 0 3 2
12/44		12/44	Z 5 K 0 3 3

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願2001-90616 (P2001-90616)

(22) 出願日 平成13年3月27日 (2001.3.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 金井 利喜

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(73) 発明者 成瀬 正雄

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100085811

弁理士 大日方 富雄

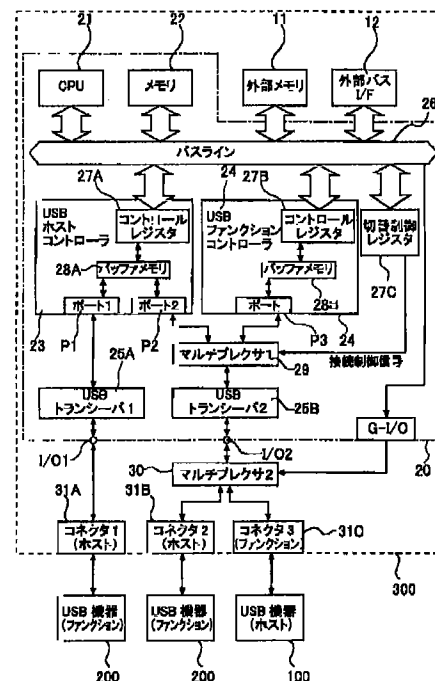
最終頁に続く

(54) 【発明の名称】 通信制御用半導体装置およびインタフェースシステム

(57) 【要約】 (修正有)

【課題】 従来のUSB規格のインタフェースシステムを適用した電子機器において、一旦ネットワークシステムを構築するとデータの通信が可能な機器が固定されしまい、予め設定された機器同士以外で通信を行なうときにケーブルを物理的に接続し直す不具合を解消する。

【解決手段】 ホスト制御手段23と、ファンクション制御手段24とを1個の半導体チップ上に搭載して、両者が同時に動作できるように構成した。さらに、これらの制御手段の通信制御動作によって送受信されるデータ信号が入出力される入出力端子と、該入出力端子に接続され上記ホスト制御手段の制御下での通信の際に送受信データ信号が通過する経路と上記ファンクション制御手段の制御下での通信の際に送受信データ信号が通過する経路とを切替え可能な切替え手段29と、該切替え手段の状態を制御する切替え制御用レジスタ27Cとを設けた。



【特許請求の範囲】

【請求項1】 コンピュータと周辺機器との間もしくはコンピュータ同士または周辺機器同士の間のデータ送受信のためのインタフェースシステムを構成する通信制御用半導体装置であって、主機器としての通信制御を行なう第1の制御手段と、従機器としての通信制御を行なう第2の制御手段とが1個の半導体チップ上に搭載され、上記第1の制御手段と第2の制御手段とが同時に動作可能に構成されていることを特徴とする通信制御用半導体装置。

【請求項2】 上記第1の制御手段により送受信されるデータを一時的に蓄える第1のバッファメモリと、上記第2の制御手段により送受信されるデータを一時的に蓄える第2のバッファメモリとを備え、さらに上記第1の制御手段と上記第2の制御手段は各々第3の制御手段により設定される制御レジスタを備え、上記第1の制御手段および上記第2の制御手段は上記第3の制御手段にバスを介して接続されているとともに、上記第1のバッファメモリおよび第2のバッファメモリは上記制御レジスタを介して間接的に上記バスに接続されていることを特徴とする請求項1に記載の通信制御用半導体装置。

【請求項3】 上記第1の制御手段により送受信されるデータを一時的に蓄える第1のバッファメモリと、上記第2の制御手段により送受信されるデータを一時的に蓄える第2のバッファメモリとを備え、さらに上記第1の制御手段と上記第2の制御手段は各々第3の制御手段により設定される制御レジスタを備え、上記第1の制御手段および上記第2の制御手段は上記第3の制御手段にバスを介して接続されているとともに、上記第1のバッファメモリは直接的に上記バスに接続され、上記第2のバッファメモリは上記制御レジスタを介して間接的に上記バスに接続されていることを特徴とする請求項1に記載の通信制御用半導体装置。

【請求項4】 コンピュータと周辺機器との間もしくはコンピュータ同士または周辺機器同士の間のデータの送受信のためのインタフェースシステムを構成する通信制御用半導体装置であって、主機器としての通信制御を行なう第1の制御手段と、従機器としての通信制御を行なう第2の制御手段と、これらの制御手段の通信制御動作によって送受信されるデータ信号が入出力される入出力端子と、該入出力端子に接続され上記第1の制御手段の制御下での通信の際に送受信データ信号が通過する経路と上記第2の制御手段の制御下での通信の際に送受信データ信号が通過する経路とを切替え可能な切替え手段と、該切替え手段の状態を制御する切替え制御用レジスタとを備えていることを特徴とする通信制御用半導体装置。

【請求項5】 上記切替え制御用レジスタに対して設定を行なう第3の制御手段を備えていることを特徴とする請求項4に記載の通信制御用半導体装置。

【請求項6】 上記第1の制御手段と上記第2の制御手段は各々上記第3の制御手段により設定される制御レジスタを備え、これらの制御レジスタと上記切替え制御用レジスタは上記第3の制御手段のアドレス空間において各々異なる位置に配置されていることを特徴とする請求項4または5に記載の通信制御用半導体装置。

【請求項7】 上記第1の制御手段および上記第2の制御手段は上記第3の制御手段にバスを介して接続されているとともに、上記第1の制御手段により送受信されるデータを一時的に蓄える第1のバッファメモリと、上記第2の制御手段により送受信されるデータを一時的に蓄える第2のバッファメモリとを備え、上記第1のバッファメモリは上記バスに直接的に接続され、上記第2のバッファメモリは上記制御レジスタを介して上記バスに接続されていることを特徴とする請求項5または6に記載の通信制御用半導体装置。

【請求項8】 送受信データ信号が入出力される第1の入出力端子と送受信データ信号が入出力される第2の入出力端子とが設けられているとともに、上記第1の制御手段は上記第1の入出力端子に対応した第1のポートおよび上記第2の入出力端子に対応した第2のポートを備え、該第2のポートおよび上記第2の制御手段のポートは上記切替え手段を介して上記第2の入出力端子に接続可能に構成されていることを特徴とする請求項4～7のいずれかに記載の通信制御用半導体装置。

【請求項9】 1つの第1の制御手段と、2以上の第2の制御手段と、送受信データ信号が入出力される3以上の入出力端子とを備え、上記第1の制御手段と上記2以上の第2の制御手段のうち一つは上記切替え手段を介して上記いずれか一つの入出力端子に接続可能に構成されていることを特徴とする請求項4～7のいずれかに記載の通信制御用半導体装置。

【請求項10】 請求項4～7のいずれかに記載の通信制御用半導体装置と、ホスト機器と接続可能な第1コネクタと、ファンクション機器と接続可能な第2コネクタと、上記通信制御用半導体装置の送受信データ入出力端子と上記第1コネクタおよび第2コネクタとの間に接続された外部切替え手段とを備え、該外部切替え手段は上記通信制御用半導体装置内部に設けられている前記切替え手段と連動して制御されるように構成されていることを特徴とするインタフェースシステム。

【請求項11】 請求項8または9に記載の通信制御用半導体装置と、ホスト機器と接続可能な第1コネクタと、ファンクション機器と接続可能な2以上の第2コネクタと、上記通信制御用半導体装置の送受信データ入出力端子と上記第2コネクタのうちいずれか1つとの間に接続された外部切替え手段とを備え、該外部切替え手段は上記通信制御用半導体装置内部に設けられている前記切替え手段と連動して制御されるように構成されていることを特徴とするインタフェースシステム。

【請求項12】 上記外部切替え手段は上記通信制御用半導体装置に設けられている汎用ポートから出力される信号により接続状態が切り替えられるように構成されていることを特徴とする請求項10または11に記載のインタフェースシステム。

【請求項13】 上記外部切替え手段および上記通信制御用半導体装置内部に設けられている上記切替え手段は、上記通信制御用半導体装置内部に設けられている前記切替え制御用レジスタから出力される共通の制御信号に基づいて接続状態が切り替えられるように構成されていることを特徴とする請求項10または11に記載のインタフェースシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信制御技術さらにはコンピュータとその周辺装置との間のインタフェース回路に適用して有効な技術に関し、例えばUSB (Universal Serial Bus) 規格やIEEE 1394 (Institute of Electrical and Electronics Engineers 1394) 規格のシリアルバスを介して接続される電子機器の間の通信を制御するための通信制御用半導体装置およびそれを用いたインタフェースシステムに利用して有効な技術に関する。

【0002】

【従来の技術】コンピュータとその周辺装置との間のインタフェース規格としては、USB規格やIEEE 1394規格の他にSCSI (Small Computer System Interface)、Fibre Channelなど種々の規格がある。このうち、USB規格やIEEE 1394規格はケーブルを介してデータをシリアルに送受信するための規格であり、信号線が少ないためケーブルが細くコネクタも小さいという特徴がある。

【0003】USBインタフェースシステムは、CPUとメモリおよびコントロールチップ、バッファメモリ、コネクタなどにより構成されており、ケーブルが接続されるコネクタはコンピュータなどのホスト機器が接続されるものと周辺機器などのデバイス機器が接続されるものとは形状が異なっている。これによって、誤接続を容易に防止できるようになっていた。そのため、従来のUSB規格のインタフェースを備えた電子機器は、USBホストまたはUSBデバイスのいずれか一方の機能しか持たないものが一般的であった。

【0004】しかし、そのような構成ではUSBデバイス同士を接続して通信することができないという不具合があった。そこで、例えば図12に示されているように、2つのコネクタ212a、212bと切替えスイッチ210とを設け、いずれのコネクタに機器が接続されたか検出して自動的にスイッチを切り替えて、ホスト機器が接続されたときはデバイス機器として、またデバイス機器が接続されたときはホスト機器として通信を行な

うように構成したUSBインタフェースシステムが提案されている(特開2000-209238号公報)。これにより、この先願発明は、デジタルカメラやプリンタのようなデバイス機器同士を接続して直接データを転送することができるようになるという利点を有する。

【0005】

【発明が解決しようとする課題】しかしながら、上記先願発明にあっては、ホスト機器として通信する機能とデバイス機器として通信する機能を備えているにもかかわらず、同時に両方の機能を有効に働かせることはできず、いずれか一方の機能しか利用できないため、自由なネットワークシステムを構築することが難しいという不具合がある。具体的には、USB規格ではハブと呼ばれる中継装置を介して、ホスト機器に対してツリー状に複数のデバイス機器を接続することが可能であるが、最大接続可能な機器は127台、ハブ段数は最大5段という制約が設けられており、前記先願発明を適用した機器を用いてもその制約を超えてネットワークを構成することはできない。

【0006】また、従来のUSB規格のインタフェースシステムを適用した電子機器にあっては、一旦ネットワークシステムを構築するとデータの通信が可能な機器が固定されしまい、予め設定された機器同士以外で通信を行なうときにはケーブルを物理的に接続し直す必要があるという不具合がある。上記課題は、USB規格のインタフェースシステムを備えた機器に限らず、IEEE 1394規格などホスト機器とデバイス機器との間の通信方式を規定した他のインタフェース規格においても同様である。

【0007】本発明の目的は、USB規格などのインタフェース規格で設定されている本来の制約を超えて自由なネットワークシステムを構築することができるインタフェースシステムおよびそれに用いられる通信制御用半導体装置を提供することにある。

【0008】本発明の他の目的は、ケーブルを接続し直すことなく所定の機器間でデータの送受信を行なうことができるインタフェースシステムおよびそれに用いられる通信制御用半導体装置を提供することにある。

【0009】本発明のさらに他の目的は、従来は接続できなかった所定の機器間でデータの送受信を行なうことができるインタフェースシステムおよびそれに用いられる通信制御用半導体装置を提供することにある。

【0010】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0012】すなわち、本出願に係る第1の発明の通信

制御用半導体装置は、ホスト（主機器）としての通信制御を行なう第1の制御手段としてのホスト制御手段と、ファンクション（従機器）としての通信制御を行なう第2の制御手段としてのファンクション制御手段とが1個の半導体チップ上に搭載され、上記ホスト制御手段とファンクション制御手段とが同時に動作できるように構成したものである。

【0013】上記した手段によれば、ホスト制御手段とファンクション制御手段とが同時に動作できるため、ホスト機器を接続するためのコネクタとファンクション機器を接続するためのコネクタの両方を設けて両方の機器とデータの送受信を行なうことができ、これによって自由なネットワークを構築することができるようになる。

【0014】また、望ましくは、上記ホスト制御手段により送受信されるデータを一時的に蓄える第1のバッファメモリと、上記ファンクション制御手段により送受信されるデータを一時的に蓄える第2のバッファメモリとを備え、さらに上記ホスト制御手段と上記ファンクション制御手段は各々第3の制御手段により設定される制御レジスタを備え、上記ホスト制御手段および上記ファンクション制御手段は上記第3の制御手段にバスを介して接続されているとともに、上記第1のバッファメモリおよび第2のバッファメモリは上記制御レジスタを介して間接的に上記バスに接続されるようにする。これにより、バスとの接続窓口をバッファメモリと制御レジスタとで共通化することができ、回路の占有面積を小さくすることができる。

【0015】さらに、望ましくは、上記ホスト制御手段により送受信されるデータを一時的に蓄える第1のバッファメモリと、上記ファンクション制御手段により送受信されるデータを一時的に蓄える第2のバッファメモリとを備え、さらに上記ホスト制御手段と上記ファンクション制御手段は各々第3の制御手段により設定される制御レジスタを備え、上記ホスト制御手段および上記ファンクション制御手段は上記第3の制御手段にバスを介して接続されているとともに、上記第1のバッファメモリは直接的に上記バスに接続され、上記第2のバッファメモリは上記制御レジスタを介して間接的に上記バスに接続されるようにする。これにより、バスに直結された第1のバッファメモリの側ではデータの転送時間を短くすることができるとともに、制御レジスタを介してバスに接続された第2のバッファメモリの側では、バスとの接続窓口をバッファメモリと制御レジスタとで共通化することができ、回路の占有面積を小さくすることができる。

【0016】また、本出願に係る第2の発明の通信制御用半導体装置は、ホスト（主機器）としての通信制御を行なう第1の制御手段としてのホスト制御手段と、ファンクション（従機器）としての通信制御を行なう第2の制御手段としてのファンクション制御手段と、これらの

制御手段の通信制御動作によって送受信されるデータ信号が入出力される入出力端子と、該入出力端子に接続され上記ホスト制御手段の制御下での通信の際に送受信データ信号が通過する経路と上記ファンクション制御手段の制御下での通信の際に送受信データ信号が通過する経路とを切替え可能な切替え手段と、該切替え手段の状態を制御する切替え制御用レジスタとを設けるようにしたものである。

【0017】上記した手段によれば、切替え制御用レジスタの設定を変えるだけで、ホスト機器またはファンクション機器のいずれの機器ともデータの送受信を行なうことができるため、自動的に相手を認識してデータを送受信できるシステムを実現することができるようになる。

【0018】また、望ましくは、上記切替え制御用レジスタに対して設定を行なう第3の制御手段を設ける。これにより、外部から切替え制御用レジスタに対して設定を行なう必要がなくなり、切替え制御用レジスタを設定するための信号の経路やポートないしは外部端子が不要となり、装置の構成が簡単になる。

【0019】さらに、望ましくは、上記ホスト制御手段と上記ファンクション制御手段は各々上記第3の制御手段により設定される制御レジスタを備え、これらの制御レジスタと上記切替え制御用レジスタは上記第3の制御手段のアドレス空間において各々異なる位置に配置させる。これにより、いずれの制御レジスタを選択するか指定する信号を第3の制御手段から出力する必要がなくなり、回路設計が容易になる。また、一方の制御レジスタの設定により当該制御手段が動作しているときに他のレジスタの設定を行なうことができ、システムのスループットが向上する。

【0020】また、上記ホスト制御手段および上記ファンクション制御手段は上記第3の制御手段にバスを介して接続されるとともに、上記ホスト制御手段により送受信されるデータを一時的に蓄える第1のバッファメモリと、上記ファンクション制御手段により送受信されるデータを一時的に蓄える第2のバッファメモリとを備え、上記第1のバッファメモリは上記バスに直接的に接続され、上記第2のバッファメモリは上記制御レジスタを介して上記バスに接続されるようにする。これにより、バスに直結された第1のバッファメモリの側ではデータの転送時間を短くすることができるとともに、制御レジスタを介してバスに接続された第2のバッファメモリの側ではバスとの接続窓口をバッファメモリと制御レジスタとで共通化することができ、回路の占有面積を小さくすることができる。

【0021】さらに、送受信データ信号が入出力される第1の入出力端子と送受信データ信号が入出力される第2の入出力端子とを設けるとともに、上記ホスト制御手段は上記第1の入出力端子に対応した第1のポートおよ

び上記第2の入出力端子に対応した第2のポートを備え、該第2のポートおよび上記ファンクション制御手段のポートは上記切替え手段を介して上記第2の入出力端子に接続可能に構成する。これにより、第2の入出力端子にはホスト機器またはファンクション機器のいずれの機器も接続することができ、システム構成の自由度が向上する。

【0022】さらに、1つのホスト制御手段と、2以上のファンクション制御手段と、送受信データ信号が入出力される3以上の入出力端子とを設け、上記ホスト制御手段と上記2以上のファンクション制御手段のうち一つは上記切替え手段を介して上記いずれか一つの入出力端子に接続可能に構成してもよい。これにより、2つ以上のホスト機器および1つのファンクション機器と同時にデータの送受信を行なうことができるインタフェースシステムを構成することができるようになる。

【0023】また、本出願に係る第3の発明のインタフェースシステムは、第2の発明のような構成を有する通信制御用半導体装置と、ホスト機器と接続可能な第1コネクタと、ファンクション機器と接続可能な第2コネクタと、上記通信制御用半導体装置の送受信データ入出力端子と上記第1コネクタおよび第2コネクタとの間に接続された外部切替え手段とを備え、該外部切替え手段は上記通信制御用半導体装置内部に設けられている前記切替え手段と連動して制御されるように構成したものである。これにより、2つコネクタにそれぞれホスト機器またはファンクション機器を常時接続させておくことができ、ケーブルを接続し直すことなく所定の機器間でデータの送受信を行なうことができるシステムを構成することができる。

【0024】さらに、本出願に係る他の発明のインタフェースシステムは、第2の発明のような構成を有する通信制御用半導体装置と、ホスト機器と接続可能な第1コネクタと、ファンクション機器と接続可能な2以上の第2コネクタと、上記通信制御用半導体装置の送受信データ入出力端子と上記第2コネクタのうちいずれか1つとの間に接続された外部切替え手段とを備え、該外部切替え手段は上記通信制御用半導体装置内部に設けられている前記切替え手段と連動して制御されるように構成したものである。これにより、2つ以上のホスト機器および1つのファンクション機器と同時にデータの送受信を行なうことができるコンピュータシステムないしはコンピュータネットワークを構成することができるようになる。

【0025】また、望ましくは、上記外部切替え手段は上記通信制御用半導体装置に設けられている汎用ポートから出力される信号により接続状態が切り替えられるように構成する。これにより、外部切替え手段を制御する信号を出力するための端子を通信制御用半導体装置に設けることなく外部切替え手段を制御することができる。

【0026】また、上記外部切替え手段および上記通信制御用半導体装置内部に設けられている上記切替え手段は、上記通信制御用半導体装置内部に設けられている前記切替え制御用レジスタから出力される共通の制御信号に基づいて接続状態が切り替えられるように構成してもよい。これにより、通信制御用半導体装置内部の切替え手段を制御するために行なう切替え制御用レジスタへの設定とは別に外部切替え手段を制御する信号を出力するための設定を行なう必要がなく、第3の制御手段の負担が軽くなるとともに設定に要する時間も短縮される。

【0027】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0028】図1は、本発明をUSB規格のインタフェースシステムに適用した場合の通信制御用LSI（大規模半導体集積回路）とそれを用いたインタフェースシステムの第1の実施形態を示す。

【0029】なお、本明細書においては、前記先願明細書においてデバイス機器と呼ばれている機器および一般に周辺機器に相当する電子機器をファンクション機器と称する。つまり、呼び方は異なるがそれらを含むものを指す。また、本明細書においては、一般的には周辺機器と呼ばれるものであっても本発明の適用によりデータを送り出す側の装置として機能する場合はそれをホストもしくは主機器と称し、逆に一般的にはホスト機器と呼ばれるものであっても本発明の適用によりデータを受け取る側の装置として機能する場合はそれをファンクションもしくは従機器と称する。

【0030】図1に示す実施形態においては、中央処理ユニット（以下、CPUと称する）21および該CPU21が実行するプログラムや固定データを格納するROMやCPU21の作業領域を提供するRAMなどからなるメモリ22と、USBホストとして通信を行なう制御機能を有するホストコントローラ23と、USBファンクションとして通信を行なう制御機能を有するファンクションコントローラ24と、ホストコントローラ23の指示に従って信号の送受信を行なう第1トランシーバ25Aと、ファンクションコントローラ24の指示に従って信号の送受信を行なう第2トランシーバ25Bとが、単結晶シリコンのような1個の半導体チップ上に形成され、通信制御用LSI20を構成している。

【0031】上記回路ブロックのうちCPU21とメモリ22とホストコントローラ23およびファンクションコントローラ24との間は内部バス26によって接続され、さらにこの内部バス26には外部メモリ11と外部バスインタフェース回路12とが接続可能にされている。第1トランシーバ25Aと第2トランシーバ25Bは、入出力ポートI/O1、I/O2を介して各々別個のコネクタに接続される。上記通信制御用LSI20および外部メモリ11と外部バスインタフェース回路12

は、一枚のプリント配線基板上に搭載されてボードシステムとして構成される。

【0032】上記ホストコントローラ23およびファンクションコントローラ24には、それぞれコントロールレジスタ27A、27BおよびFIFO（ファーストイン・ファーストアウト）方式のメモリなどからなるバッファメモリ28A、28Bが設けられている。ホストコントローラ23とファンクションコントローラ24は、各々コントロールレジスタ27A、27Bに制御コードや転送モードを指定するコード等が設定されると、所定のプロトコルに従ってファンクション機器またはホスト機器と通信する機能を有する。

【0033】ここで、ホストコントローラ23とファンクションコントローラ24により実行される通信方式には、リアルタイム性が要求されるときに適した等時転送、データサイズが小さい場合に適した割込み転送、非同期に大量のデータを転送するのに適したバルク転送、ファンクション機器の制御や着脱に伴う再コンフィグレーションなどに必要な情報をやり取りするのに使用する制御転送がある。ホストコントローラ23とファンクションコントローラ24がこれらのいずれの転送方式で通信を行なうかは、コントロールレジスタ27A、27Bに設定されるコードによって決定される。

【0034】上記コントロールレジスタ27A、27BはCPU21のアドレス空間の異なる位置に配置されており、CPU21がコントロールレジスタ27A、27Bへ制御コード等を設定することにより、ホストコントローラ23およびファンクションコントローラ24を並列に動作させることができるように構成されている。すなわち、コントロールレジスタ27A、27BをCPU21のアドレス空間の同一位置に配置するという方式もあり、その方式の場合にはコントロールレジスタ27Aと27Bのいずれを選択するか指定する信号をCPU21から出力することが必要になるが、アドレス空間の異なる位置に配置することでそのような信号が不要となり、回路設計が容易になる。また、一方のコントロールレジスタに設定されている制御コードにより当該コントローラが動作しているときに他のレジスタの設定を行なうことができ、システムのスループットが向上する。

【0035】上記コントロールレジスタ27A、27Bには、例えば予め用意されている転送モードのうちどのモードでデータの転送を行なうか指定するコードや送信の場合にメモリ22内のどのアドレスからどのアドレスまでのデータを送信するのかを示すアドレス情報、データ（パケット）の長さ、割込み制御の有無なども設定される。なお、USB規格の通信にはプロトコルが規定されており、ホストコントローラ23とファンクションコントローラ24はそのプロトコルに従って通信制御を実行するが、そのプロトコルは本発明には直接関係しないので、説明を省略する。

【0036】また、特に制限されるものでないが、本実施形態においては、外部の装置との間で送受信されるデータがコントロールレジスタ27A、27Bおよびバッファメモリ28A、28Bを介してCPUとの間で受渡しされるように構成されている。このバッファメモリ28A、28Bは、上記コントロールレジスタ27A、27Bを介さないでデータ転送を行なえるようにするため、トランシーバ25A、25Bとバス26との間に設けることも可能である。トランシーバ25Aおよび25BはUSBケーブルの信号線を電圧で駆動して信号を送信する送信ドライバ回路と、USBケーブルを介して送られてくる信号の電位を検出して信号を判別する受信ドライバ回路とから構成される。

【0037】この実施例のUSBインタフェース用LSIにおいては、ホストコントローラ23とファンクションコントローラ24が別個に設けられ、各々のコントロールレジスタ27A、27Bがアドレス空間の異なる位置に配置されているとともに、2つの入出力ポートI/O1、I/O2を備えているため、USBホスト機器として振る舞って外部のUSBファンクション機器200と通信を行なうことができるとともに、USBファンクション機器として振る舞って外部のUSBホスト機器100と通信を行なうことができる。また、USBファンクション機器200とUSBホスト機器100を同時に接続しておいて並行して通信を行なうことができる。このような機能は、従来のUSBインタフェースにはない機能である。

【0038】図2は、本発明をUSB規格のインタフェースシステムに適用した場合の通信制御用LSIとそれを用いたインタフェースシステムの第2の実施形態を示す。

【0039】この実施形態は、図1の実施形態におけるトランシーバ25A、25Bを一つにして、このトランシーバ25とホストコントローラ23およびファンクションコントローラ24との間にマルチプレクサ29を設けるとともに、このマルチプレクサ29の状態を制御する切替制御レジスタ27Cを設けたものである。そして、この切替制御レジスタ27Cは、図4に示されているように前記コントロールレジスタ27A、27Bと同様、CPU21のアドレス空間の異なる位置に配置されており、CPU21によるコントロールレジスタ27A、27B、27Cの設定によりホストコントローラ23およびファンクションコントローラ24の動作とマルチプレクサ29の制御を並列に行なわせることができるように構成されている。

【0040】この実施形態のUSBインタフェース用LSIにおいては、ホストコントローラ23とマルチプレクサ29およびその状態を制御する切替制御レジスタ27Cが設けられているため、電源立上げ時や動作中に切替制御レジスタ27Cに対する設定を行ったり動作中

にその設定を変えることより、接続されているホスト機器またはファンクション機器のいずれに対しても正しく通信を行なうことができる。

【0041】また、本実施形態ではホスト機器またはファンクション機器のいずれが接続されているか検出する手段は必須ではないが、ホスト機器またはファンクション機器のいずれが接続されているか検出する手段を設けた場合には、USBコネクタに接続されている機器がユーザによって切り替えられても、自動的にそれを検出して認識し切替制御レジスタの設定を変更してデータの送受信を行なうことができるシステムを実現することができる。

【0042】なお、切替制御レジスタ27Cの指定アドレスは一つあれば充分である。図4において、切替制御レジスタ27Cの指定アドレスがC〜C+jで示されているのは、この実施例の通信制御用LSIチップ内部の前記コントローラ23、24を除く回路の制御状態や動作モードなどを設定する制御レジスタがある場合にはその一つとして上記切替制御レジスタ27Cのアドレスを割り当てたり、システムの拡張性を考慮して今後搭載されるかもしれないレジスタにアドレスを割り当てるために予め用意されている領域であることを意味している。また、後述の汎用I/Oポートに設けられているレジスタのアドレスもこのレジスタ領域C〜C+jに配置させるようにすることができる。

【0043】図3は、上記第2の実施形態の通信制御用LSIを用いてボードシステムとして構成されるインタフェースシステムの応用例を示す。

【0044】このシステムでは、トランシーバ25に接続されているUSB入出力端子I/O0の外側に第2のマルチプレクサ30を介して2つのコネクタ31A、31Bが接続され、マルチプレクサ30を切り替えることでコネクタ31Aまたは31Bをトランシーバ25に接続できるように構成されている。一方のコネクタ31AはUSBファンクション200と接続可能なコネクタで、他方のコネクタ31BはUSBホスト100と接続可能なコネクタである。

【0045】上記マルチプレクサ30は、例えばチップに設けられている汎用の入出力ポートG-I/Oのうちひとつを利用して、その中の出力用レジスタに“1”または“0”を設定することで制御される出力信号をマルチプレクサ30の制御端子に供給するようにボードが構成される。そして、この入出力ポートG-I/O内の出力用レジスタは、CPU21によって上記切替制御レジスタ27Cと連動して設定が行なわれる。

【0046】すなわち、マルチプレクサ29がホストコントローラ23とトランシーバ25とを接続するように切り替えられると、マルチプレクサ30はトランシーバ25とUSBファンクション200が接続可能なコネクタ31Aとを接続するように切り替えられ、マルチプレ

クサ29がファンクションコントローラ24とトランシーバ25とを接続するように切り替えられると、マルチプレクサ30はトランシーバ25とUSBホスト100が接続可能なコネクタ31Bとを接続するように切り替えられる。

【0047】この応用例のUSBインタフェースシステムボードにおいては、ホストコントローラ23とマルチプレクサ29およびその状態を制御する切替制御レジスタ27Cが設けられているとともに、ボードにはホスト機器接続用のコネクタ31Bとファンクション機器接続用のコネクタ31Aとそれらを切り替えるためのマルチプレクサ30が設けられているため、予めそれぞれのコネクタにホスト機器またはファンクション機器を接続しておいて、必要に応じて切替制御レジスタ27Cの設定をソフトウェアによって変えるだけで接続されているホスト機器またはファンクション機器のいずれに対しても正しく通信を行なうことができる。

【0048】また、この応用例のシステムでは、ホスト機器またはファンクション機器のいずれが接続されているか検出する手段を設けなくても、レジスタの設定で接続の切替えを行なえる。なお、上述のように予めチップに設けられている汎用の入出力ポートG-I/Oのうちひとつを利用して外部のマルチプレクサ30を切り替える制御信号を出力するポートとする代わりに、上記切替制御レジスタ27Cの設定状態を外部へ出力する専用の端子を設けて行なうように構成することも可能である。

【0049】図5は、本発明の第3の実施形態を示す。この実施形態は、第1の実施形態と第2の実施形態を組み合わせたもので、USB規格のインタフェースシステムに適用した場合の通信制御用LSIとそれを用いたインタフェースシステムの例を示す。

【0050】図5の第3の実施形態では、通信制御用LSIチップ20内にマルチプレクサ29と2つのトランシーバ25A、25Bが設けられているとともに、ホストコントローラ23に2つのポートP1とP2が設けられ、ポートP1はトランシーバ25Aに、またポートP2はマルチプレクサ29を介してトランシーバ25Bに接続可能にされている。そして、マルチプレクサ29は切替制御レジスタ27Cによって切替え制御される。上記ポートP1とP2にはシフトレジスタなどからなる直並列変換手段が設けられ、バッファメモリ28Aから受け取ったパラレルデータをシリアルデータに変換し、バッファメモリ28Bへデータを渡すときにシリアルデータをパラレルデータに変換する。ファンクションコントローラ24に設けられるポートは1つである。このポートP3にも直並列変換手段が設けられている。

【0051】システムのボード300には、USBファンクション機器200が接続可能なコネクタ31A、31Bと、USBホスト機器100が接続可能なコネクタ31Cと、コネクタ31Bと31Cとを切り替えるマル

チップレクサ30が設けられ、トランシーバ25Aはコネクタ31Aと接続され、トランシーバ25Bはマルチプレクサ30を介してコネクタ31Bまたは31Cに接続可能にされている。マルチプレクサ30は、マルチプレクサ29と連動して制御される。

【0052】この実施形態においては、マルチプレクサ29と30をコネクタ31C側に切り替えることにより、ホストコントローラ23がコネクタ31Aに接続されているファンクション機器200と通信しながらファンクションコントローラ24がコネクタ31Cに接続されているホスト機器と100と通信することができる。また、マルチプレクサ29と30をコネクタ31B側に切り替えると、ホストコントローラ23がコネクタ31Bに接続されているファンクション機器200と通信することができる。ただし、この場合には、コネクタ31Aに接続されているファンクション機器200とコネクタ31Bに接続されているファンクション機器200と完全同時に通信することはできない（時分割であれば可能）。

【0053】図6は、上記第3の実施形態の通信制御用LSIを用いて構成されるインタフェースシステムの応用例を示す。

【0054】このシステムでは、トランシーバ25AがUSBファンクション200と接続可能なコネクタ31Aと接続され、トランシーバ25BがUSBホスト100と接続可能なコネクタ31Cと接続されている。チップ20にはマルチプレクサ29が設けられているが、このマルチプレクサ29は切替制御レジスタ27Cにより常時ファンクションコントローラ24をトランシーバ25Bに接続するように設定される。

【0055】この応用例においても、ホストコントローラ23がコネクタ31Aに接続されているファンクション機器200と通信しながらファンクションコントローラ24がコネクタ31Cに接続されているホスト機器と100と通信することができる。なお、図5の実施形態におけるマルチプレクサ30は不要であるため、図6の応用例ではこれを制御する信号も不要であり、ここに図5の実施形態においてマルチプレクサ30を制御するため汎用の入出力ポートG-I/Oを用いる利点がある。つまり、切替制御レジスタ27Cの状態に基づいてチップ外部のマルチプレクサ30を制御するための信号を出力する専用の端子を設けると、図6のようなシステムを構成する場合にこの端子が無駄になるが、汎用の入出力ポートG-I/Oを利用すれば図6のようなシステムを構成する場合に無駄な端子が生じることはない。

【0056】図7は、図5に示されている第3の実施形態の変形例を示す。

【0057】図5の実施形態では、ホストコントローラ23が2つのポートP1、P2を有するように構成されているのに対し、図7ではホストコントローラ23とし

て1つのポートP2を有するものを使用し、ポートP1に対応して第2のファンクションコントローラ24Bを設けたものであり、その動作および作用効果は図5の実施形態のものと同様である。ファンクションコントローラ24Bは、ポートP3を有するファンクションコントローラ24と同一の構成を有するものでよい。

【0058】また、図7に示されている変形例では、チップ外部のマルチプレクサ30を制御する信号を、汎用の入出力ポートG-I/Oからではなく切替制御レジスタ27Cから得るように構成されている。そのため、この図7の実施例ではチップ内部のマルチプレクサ29に供給される制御信号をチップ外部へ出力するためのバッファ35と出力端子I/O3が設けられている。さらに、この実施例では、外部バスインタフェース回路12が通信制御用LSIチップ20内に設けられている。図1に示されている外部メモリ11はこの外部バスインタフェース回路12を介して接続される。

【0059】図8は、本発明の第4の実施形態を示す。この実施形態は、図5に示されている第3の実施形態を改良したもので、USB規格に従った通信制御用LSIとそれを用いたインタフェースシステムの例を示す。

【0060】前述したように、第1～第3の実施形態ではいずれもデータ転送をバッファメモリ28Aとコントロールレジスタ27Aとを介して行なっている。これに対し、本実施形態では、データがコントロールレジスタ27Aを介さずにバッファメモリ28Aのみを介してポートP1、P2とバスとの間で転送されるようにホストコントローラ23が構成されている。これにより、前記実施形態よりも高速のデータ転送が可能になる。

【0061】なお、ファンクションコントローラ24側では前記実施形態と同様にバッファメモリ28Bとコントロールレジスタ27Bとを介してデータ転送を行なっている。このようにバッファメモリ28Bを直接バス26に接続せずにコントロールレジスタ27Bを介して接続することにより、コントローラとバスとの接続ポートが一つで済み、回路をコンパクトに構成することができる。一般的にホストコントローラ23の方がファンクションコントローラ24よりも高速データ転送が要求されるので、本実施形態ではホストコントローラ23側ではデータをコントロールレジスタ27Aを介さずに転送するようにしている。

【0062】ただし、ファンクションコントローラ24においても、ホストコントローラ23側と同様に、バッファメモリ28Bを直接バス26に接続して、コントロールレジスタ27Bを介さずにバッファメモリ28Bのみを介してポートP3とバス26との間でデータの転送を行なうように構成しても良い。これによりファンクションコントローラ24においても高速のデータ転送が行なえる。

【0063】また、本実施形態では、データの転送を円

滑に行なえるようにするため、コントロールレジスタ27A、27Bが接続されているCPU側のバス26とは別個にデータ用のバス36と、このデータ用のバス36を制御するバスコントローラ33Aと、前記CPU側のバス26を制御するバスコントローラ33Bとが設けられている。バッファメモリ28Aからデータ用のバス36上へ出力されたデータはバスコントローラ33Aと33Bを介してCPU側のバス26へ転送される。さらに、本実施形態では、メモリ22とファンクションコントローラ24のコントロールレジスタ27Bとの間のデータ転送を高速で行なえるようにするためDMAコントローラ34が設けられている。

【0064】さらに、本実施形態においては、特に制限されるものでないが、第3の制御手段としてのCPU21がRISC型のCPUコアとDSP (Digital Signal Processor) とから構成されている。これにより、画像データや音声データを高速で処理することができるマルチメディア対応のシステムを構成するのに好適な通信制御用LSIおよびインタフェースボードを実現することができる。

【0065】図9には、USB規格におけるケーブルの仕様とその接続方法が示されている。図9において、符号130はUSBホスト機器側のインタフェースボード、符号230はUSBファンクション機器側のインタフェースボード、131および231はそれぞれケーブル400が接続されるコネクタである。ホスト側インタフェースボード130に設けられるタイプAと呼ばれるコネクタ131とファンクション側インタフェースボード230に設けられるタイプBと呼ばれるコネクタ231とはそれぞれ形状が異なり、誤った接続を防止できるようにされている。

【0066】図9に示されているように、USB規格のケーブル400は、VBusと呼ばれる5Vの電源電圧を供給する電源ラインL1と、データ線L2、L3と、接地電位GNDを供給する接地ラインL4とで構成され、これらのラインのうちデータ線L2とL3が各ボード上の通信制御用LSI120、220のトランシーバ125、225に接続される。また、接地ラインL4はそれぞれのボードにおいて、電源電圧端子と接地端子に接続される。電源ラインL1は、USBホスト機器側のインタフェースボード130において電源電圧端子に接続される。

【0067】さらに、USBホスト機器側のインタフェースボード130では、データ線L2とL3が15kΩのプルダウン抵抗Rdを介して接地電位GNDに接続され、USBファンクション機器側のインタフェースボード230では、データ線L2またはL3が1.5kΩのプルアップ抵抗Ruを介して3.3Vのような電源電圧に接続される。なお、USBファンクション機器側のインタフェースボード230におけるデータ線L2、L3

のプルアップ接続は択一的であり、当該機器が高速(12Mbps)または低速(1.5Mbps)のいずれかで通信を行なうかでL2またはL3のいずれか一方がプルアップ接続される。

【0068】なお、USBホスト機器に複数のUSBファンクション機器を接続するために用いられるハブも図9に示されているような構成を備えており、ハブのファンクション接続側ポート(ダウストリームポート)は図9のUSBホスト機器のインタフェースボード130と同様の構成とされ、ハブのホスト接続側ポート(アップストリームポート)は図9のファンクションのインタフェースボード230と同様の構成とされる。

【0069】ホスト側インタフェースボード130は、データ線L2またはL3のいずれかの電位が3V近くまで上がっているか否かを検出することでコネクタ131にケーブルが接続されているか否かを検出する。また、ファンクション側インタフェースボード230は、電源ラインL1(VBus)が3.3Vのような電位になっているか否かを検出することでコネクタ231にケーブルが接続されているか否かを検出する。

【0070】上記のようなケーブルの接続状態を検出する回路は、例えば図7に符号CDTで示すように、各ボードの通信制御用LSI20内のホストコントローラ23およびファンクションコントローラ24、24BのポートP1~P3内もしくはポートに付随して設けられる。コントローラのポートの代わりに、トランシーバ(25A、25B、125、225)にケーブルの接続状態検出回路を設けるようにしてもよい。

【0071】次に、前記実施形態の通信制御用LSIを用いたUSBインタフェースボードを備えた複数のUSB機器を接続してネットワークを構成する場合の接続の仕方を、図10を用いて説明する。

【0072】USB規格ではハブと呼ばれる中継装置を介してホスト機器に対してツリー状にファンクション機器を接続することで、最大127台のUSB機器を、最大5段まで接続することを保証するという制約が設けられており、従来のUSB機器では例えば図10に符号Aで示すようなネットワークしか構築することができなかった。これに対して、本発明に係る通信制御用LSIを用いたUSBインタフェースボードを備えたUSB機器を使用すると、例えば図10のようにUSBホスト機器100Aから数えて5段目に本発明を適用したUSB機器100または200を介在させることにより、符号Bで示すように、さらに5段127台のUSB機器を接続することが可能となる。そして、これを繰り返すことにより理論的には無限台のUSB機器を接続することができる。

【0073】しかも、図10のようなネットワークにおいては、例えばAの領域の頂点にあるUSBホスト機器100AがBの領域にあるUSB機器を制御したり通信

を行なうことができる。そのため、従来に比べて自由度が高くかつより大規模なネットワークを構築することができるようになる。なお、Aの領域の頂点にあるUSBホスト機器100AとBの領域にあるUSB機器との間でデータを転送する場合、本発明を適用したUSB機器100または200内のメモリ11または22に一旦データを格納して行なう。

【0074】図11には、図7の実施例を適用したUSB機器の応用システムを示す。図11において、100A、100BはパーソナルコンピュータのようなUSBホスト機器、HDDは各USBホスト機器に設けられたハードディスクドライバのような周辺機器、500はUSB用ハブ、200は例えばUSB規格のプリンタのような一般的なUSBファンクション機器、200'は図7の実施例を適用したUSB機器である。USB機器200'としては、例えばPDA(Personal Digital Assistants)や電子スチールカメラなどが考えられる。

【0075】図11においては、USBホスト機器100AがUSB用ハブ500を介して図7の実施例を適用したUSB機器200'のファンクションコントローラ24側に接続され、USBホスト機器100Bが図7の実施例を適用したUSB機器200'のファンクションコントローラ24B側に接続されている。このような接続によれば、例えばUSBホスト機器100AのハードディスクHDDに格納されているデータを、USB機器200'を介することでUSBホスト機器100BのハードディスクHDDに転送することが可能となる。つまり、複数のUSBホスト機器同士でリソースを共有することが可能となる。

【0076】さらに、図11の例でいえば、USBファンクション機器200のケーブルをハブ500から外して、代わりに破線Cで示すようにUSB機器200'のホストコントローラ側のコネクタに接続してやることにより、USB機器200'からデータを直接USBファンクション機器200に転送することができる。これにより、例えばPDAや電子スチールカメラのようなUSB機器からUSBプリンタにデータを送ってプリントアウトさせることができるようになる。また、MPEGカメラのようなビデオカメラから画像データをPDAへ転送してPDAの表示部で動画像を再生するようなことも可能となる。

【0077】さらに、図11のUSBファンクション機器200も200'と同様にファンクションコントローラとホストコントローラを備えていれば、ケーブルをハブ500から外さないで、別のケーブルを用いてUSB機器200と200'とを接続して、データを直接転送することができる。

【0078】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で

種々変更可能であることはいうまでもない。例えば図7の実施例においては、1つのホストコントローラと2つのファンクションコントローラとを設けているが、1つのファンクションコントローラと2つのホストコントローラを設けるようにしても良い。

【0079】また、前記実施例においては、信号の送受信を行なうトランシーバがホストコントローラやファンクションコントローラと同一チップ上に形成されているものを説明したが、トランシーバは別の半導体集積回路として構成することも可能である。さらに、前記実施例においては、ホスト機器と接続されるコネクタとファンクション機器が接続されるコネクタとは形状が異なると説明したが、本発明はコネクタの形状が同一の場合にも適用できることはいうまでもない。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるUSB規格のインタフェースシステムを構成する通信制御用LSIに適用した場合について説明したが、本発明はIEEE1394規格のインタフェースシステムを構成する通信制御用LSIあるいはUSB規格のインタフェース機能とIEEE1394規格のインタフェース機能の両方を有するシステムを構成する通信制御用LSIを構成する場合にも利用することができる。

【0080】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、本発明に従うと、USB規格などのインタフェース規格で設定されている本来の制約を超えて自由なネットワークシステムを構築することができる通信制御用LSIおよびインタフェースシステムを実現できるとともに、ケーブルを接続し直すことなくあるいは従来は接続できなかった所定の機器間でデータの送受信を行なうことができる通信制御用LSIおよびインタフェースシステムを実現することができる。

【図面の簡単な説明】

【図1】本発明をUSB規格に適用した場合の通信制御用LSIとそれを用いたインタフェースシステムの第1の実施形態を示すブロック図である。

【図2】本発明をUSB規格のインタフェースシステムに用いられる通信制御用LSIに適用した場合の第2の実施形態を示すブロック図である。

【図3】第2の実施形態の通信制御用LSIを用いたインタフェースシステムの構成例を示すブロック図である。

【図4】第2の実施形態の通信制御用LSIにおけるコントロールレジスタと切替え制御用レジスタのCPUアドレス空間上での配置を示すアドレスマップである。

【図5】本発明をUSB規格に適用した場合の通信制御用LSIとそれを用いたインタフェースシステムの第3の実施形態を示すブロック図である。

【図6】第3の実施形態の通信制御用LSIを用いたインタフェースシステムの他の構成例を示すブロック図である。

【図7】本発明をUSB規格に適用した場合の通信制御用LSIとそれを用いたインタフェースシステムの第4の実施形態を示すブロック図である。

【図8】本発明をUSB規格に適用した場合の通信制御用LSIとそれを用いたインタフェースシステムの第5の実施形態を示すブロック図である。

【図9】USB規格のインタフェースの構成と2つのUSB機器の接続状態を示すブロック図である。

【図10】本発明を適用したUSB機器を用いて構成したネットワークの一例を示すブロック図である。

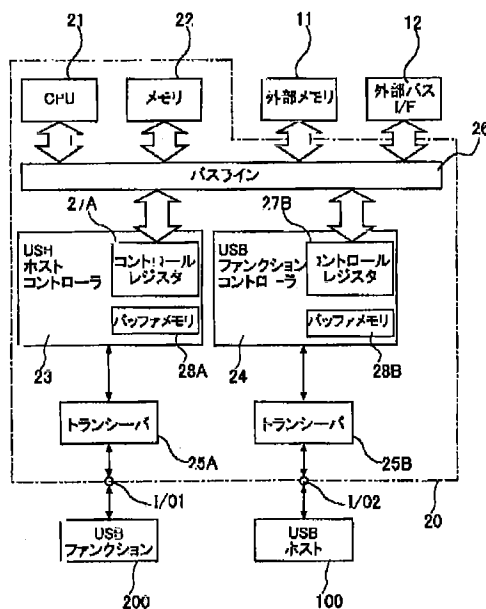
【図11】本発明を適用したUSB機器と他のUSB機器との接続の仕方の一例を示すブロック図である。

【図12】従来のUSBインタフェースシステムの一例を示すブロック図である。

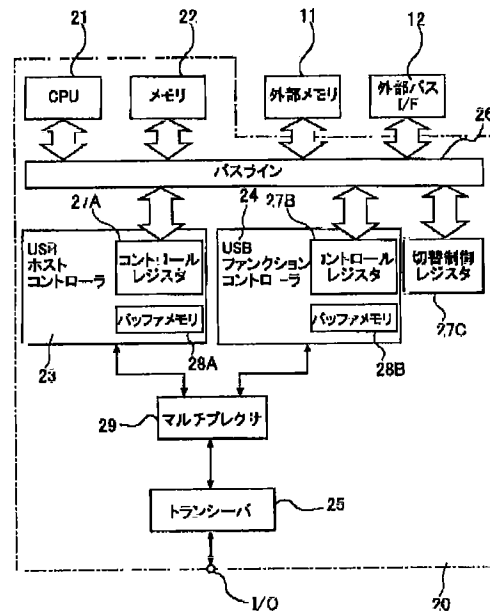
【符号の説明】

- 20 通信制御用LSI (USBインタフェースLSI)
- 21 上位制御手段 (CPU)
- 22 メモリ
- 23 ホストコントローラ
- 24 ファンクションコントローラ
- 25 トランシーバ
- 26 バス
- 27 制御レジスタ
- 28 バッファメモリ
- 29 切替え手段 (マルチプレクサ)
- 30 外部切替え手段 (マルチプレクサ)
- 31 コネクタ
- 100 USBホスト機器
- 200 USBファンクション機器

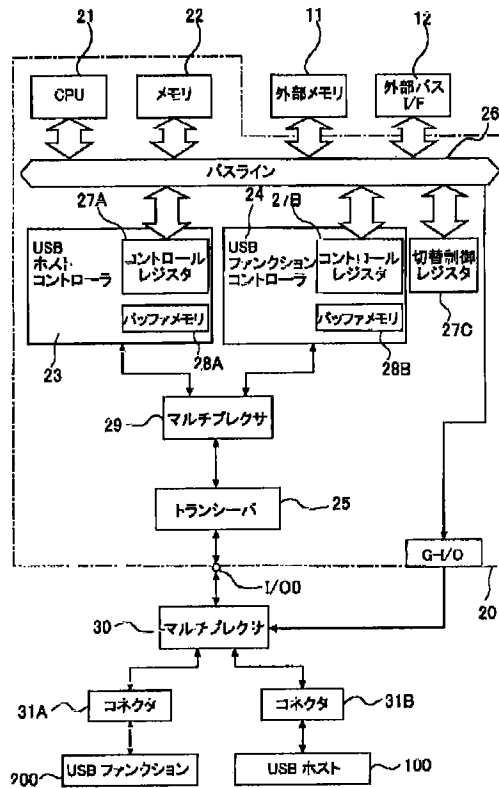
【図1】



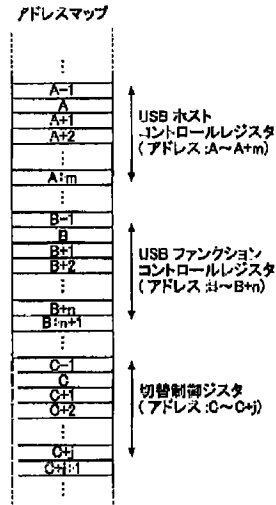
【図2】



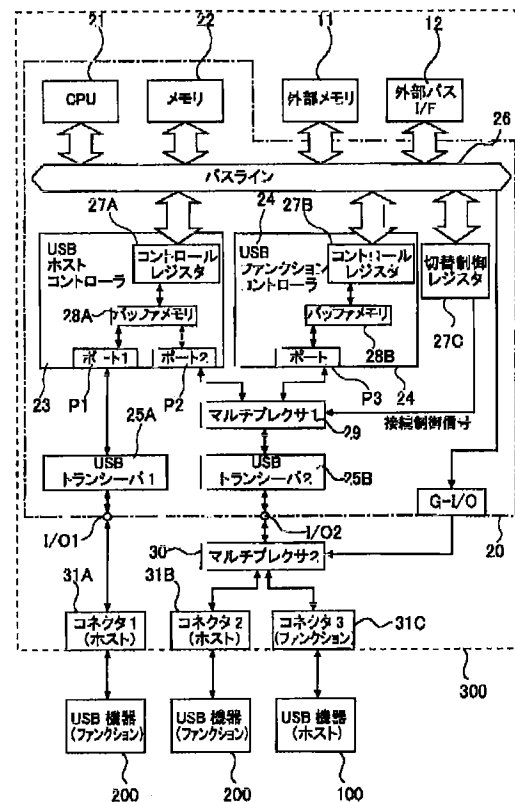
【図3】



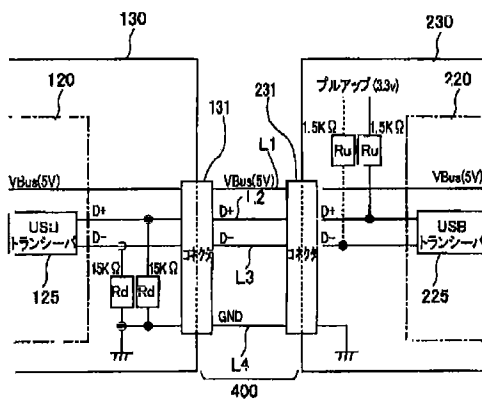
【図4】



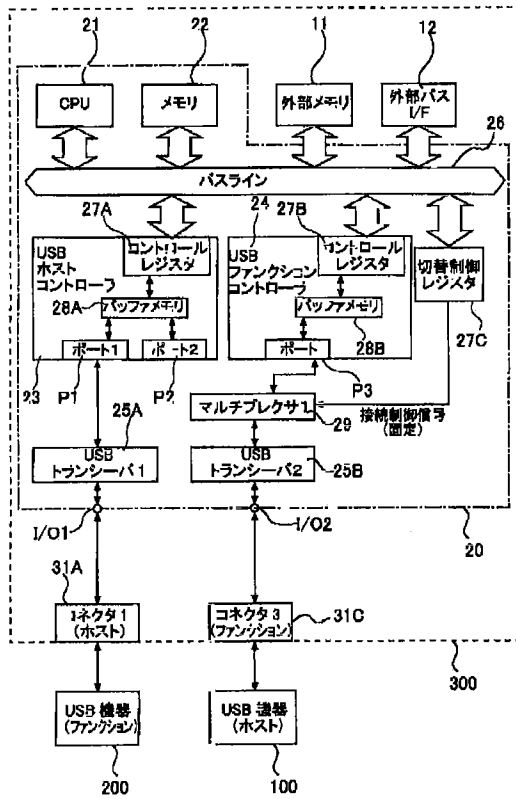
【図5】



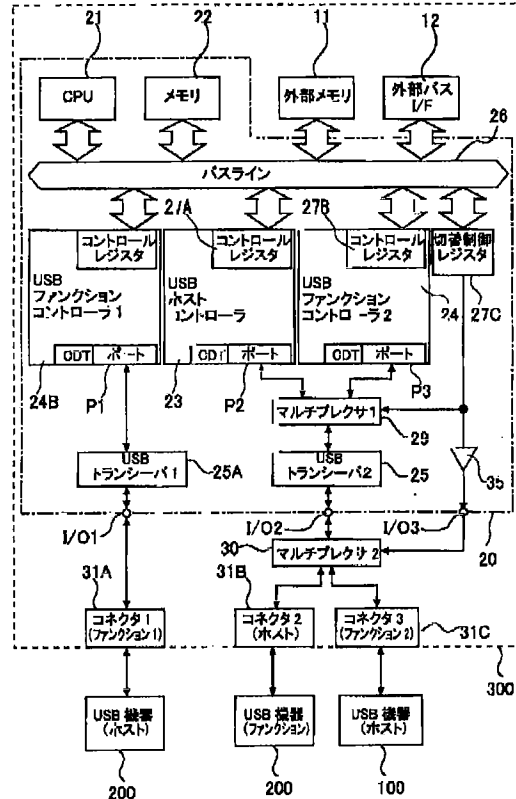
【図9】



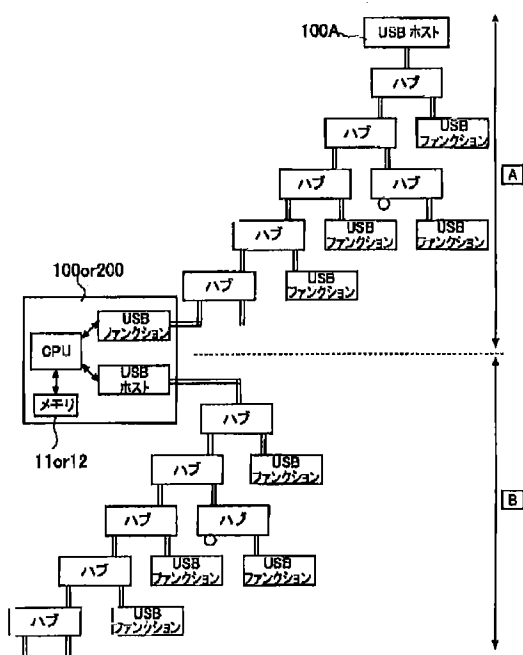
【図6】



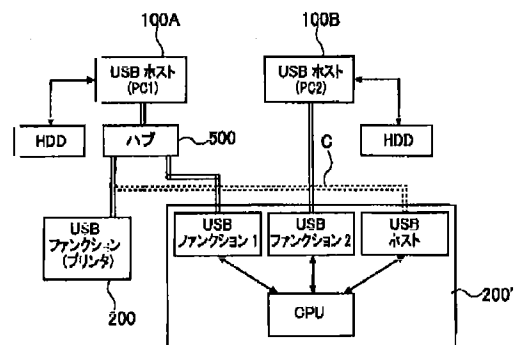
【図7】



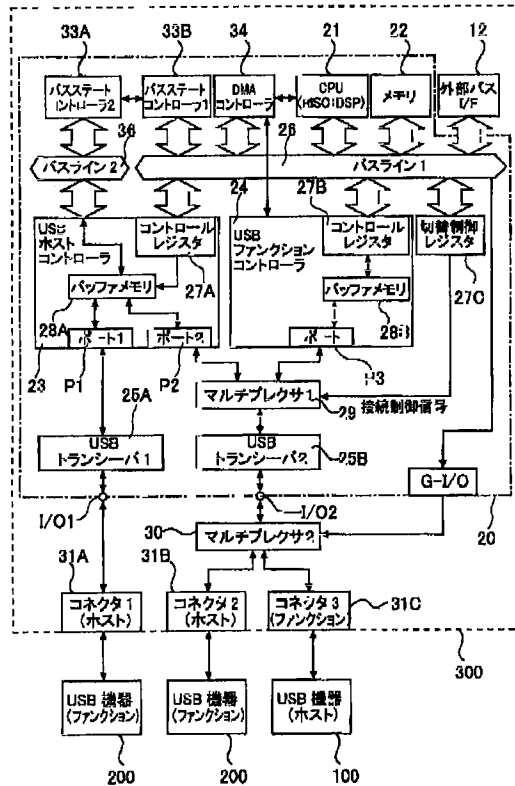
【図10】



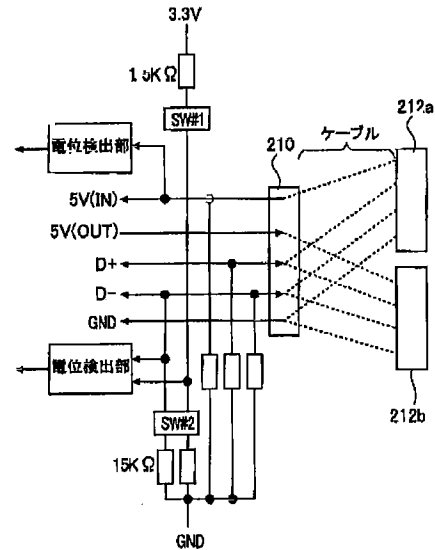
【図11】



【図8】



【図12】



フロントページの続き

(72)発明者 這禽 直樹
茨城県日立市幸町3丁目2番1号 日立エ
ンジニアリング株式会社内

Fターム(参考) 5B014 EB01 FB04 GD05 GD07 GD13
GD32 GE05 HA07 HC08 HC12
5K032 AA09 BA04 DB20 DB24
5K033 AA09 BA04 DA15 DB16